

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

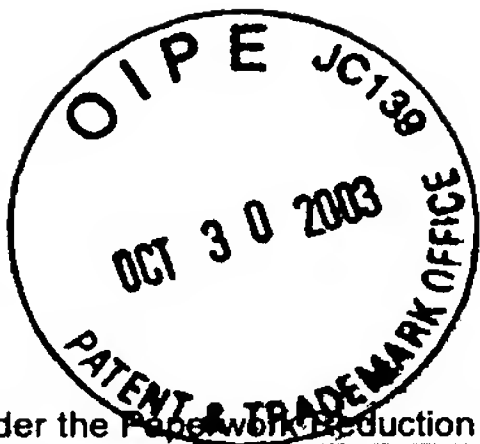
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

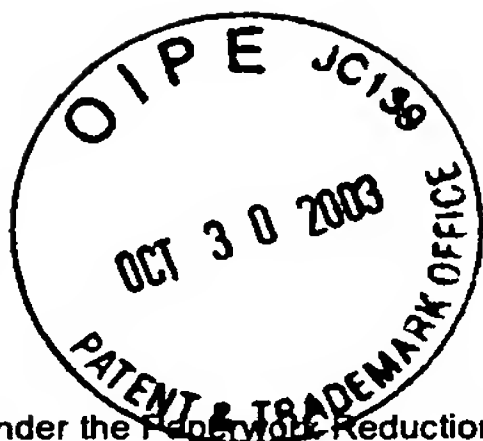
TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>	Applicati n Number	10/605,614	
	Filing Date	10/14/2003	
	First Named Inventor	Chi-Shun Weng	
	Group Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	REAP0011USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	10/28/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Patent Fee Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/605,614
Filing Date	10/14/2003
First Named Inventor	Chi-Shun Weng
Examiner Name	
Art Unit	
Attorney Docket No.	REAP0011USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments
☒ Charge any additional fee(s) during the pendency of this application
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	10/28/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

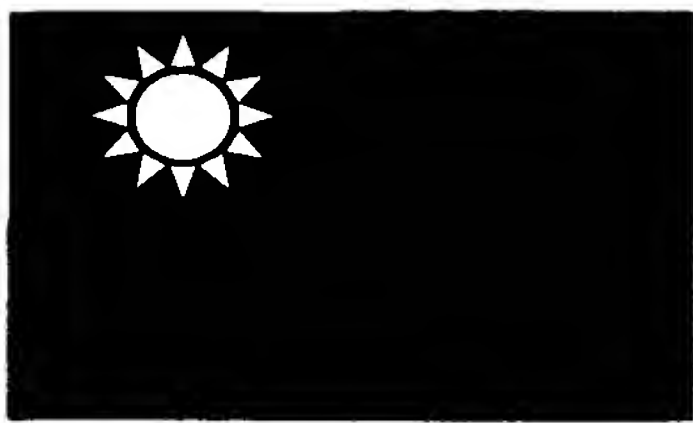
This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



Additional foreign applications:

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO:** Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 07 月 21 日
Application Date

申請案號：092119873
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日
Issue Date

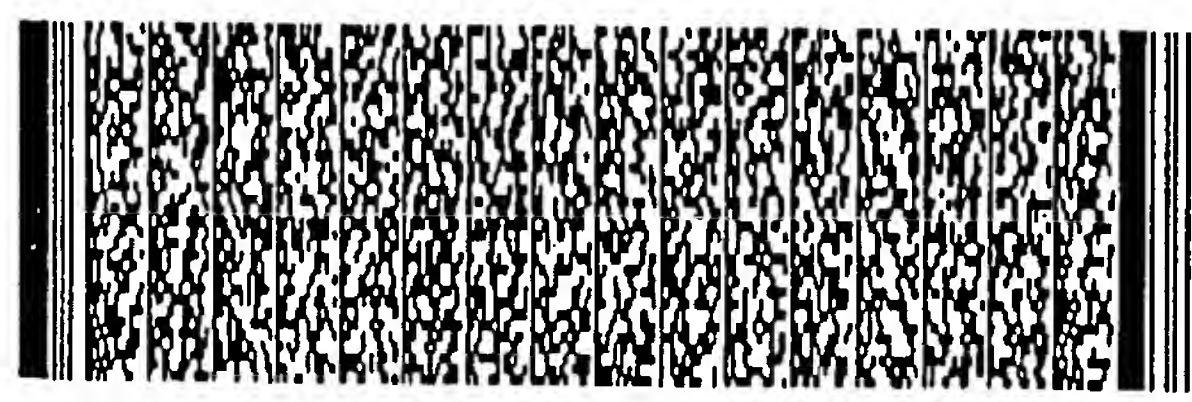
發文字號：09220317300
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	建立格雷碼之方法及其相關之計數器電路
	英 文	METHOD FOR ESTABLISHING GRAY CODE AND RELATED COUNTER CIRCUIT
二、 發明人 (共1人)	姓 名 (中文)	1. 翁啟舜
	姓 名 (英文)	1. Weng, Chi-Shun
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台南縣安定鄉中榮村八0之二號
	住居所 (英 文)	1. No. 80-2, Chung-Jung Tsun, An-Ting Hsiang, Tainan Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1. Realtek Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len



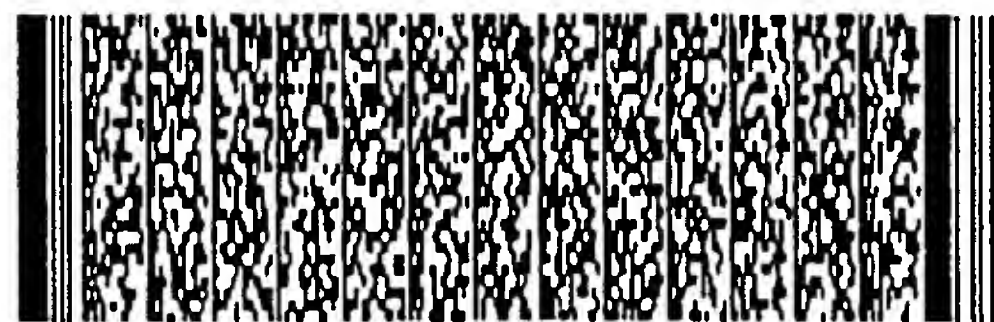
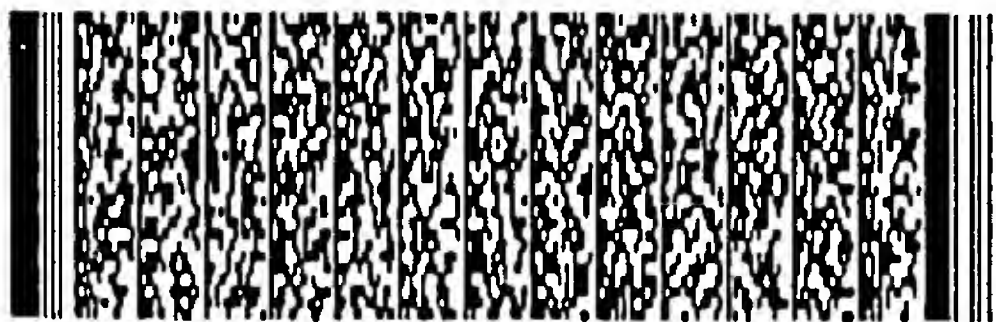
本發明係提供一種建立格雷碼序列的方法，用來建立一包含有 N 個第二編碼組之第二格雷碼序列，該方法包含有依據一包含有 2^M 個第一編碼組之第一格雷碼序列，建立一包含有 $2^M - 1$ 個第一元素之第一格雷碼位元切換序列，其中該等第一元素係分別代表相鄰二個第一編碼組之間所切換之位元；刪除該第一格雷碼位元切換序列中之 $2^M - N$ 個第一元素，以建立一包含有 $N - 1$ 個第二元素之第二格雷碼位元切換序列；以及依據該第二格雷碼位元切換序列建立一包含有 N 個第二編碼組之第二格雷碼序列。

五、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：METHOD FOR ESTABLISHING GRAY CODE AND RELATED COUNTER CIRCUIT)

A method for establishing a Gray code count sequence to establish a second Gray code count sequence including N second code words. The method includes following steps: establishing a first Gray code bit switching sequence including $2^M - 1$ first elements according to a first Gray code count sequence including 2^M first code words, each first element representing a switching bit



六、英文發明摘要 (發明名稱：METHOD FOR ESTABLISHING GRAY CODE AND RELATED COUNTER CIRCUIT)

between two adjacent first code words; deleting 2^M -N first elements in the first Gray code bit switching sequence, so as to establish a second Gray code bit switching sequence including N-1 second elements; and establishing the second Gray code count sequence including N second code words according to the second Gray code bit switching sequence.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

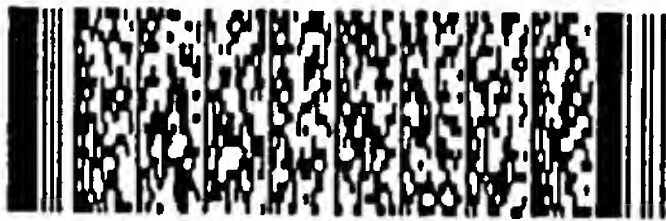
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



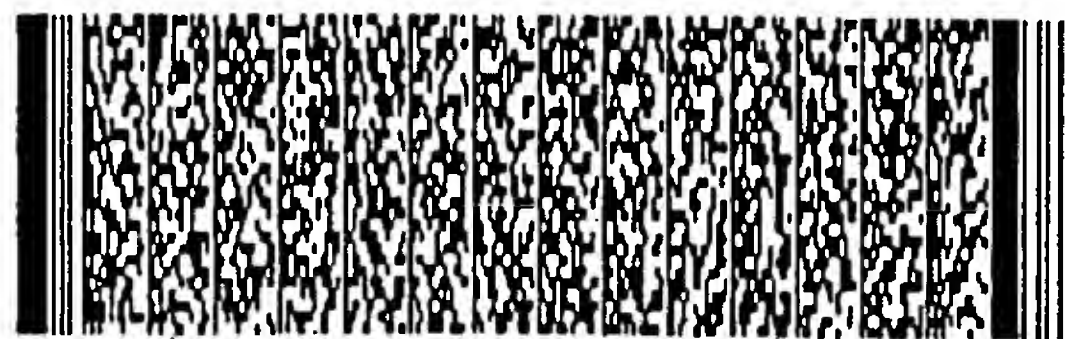
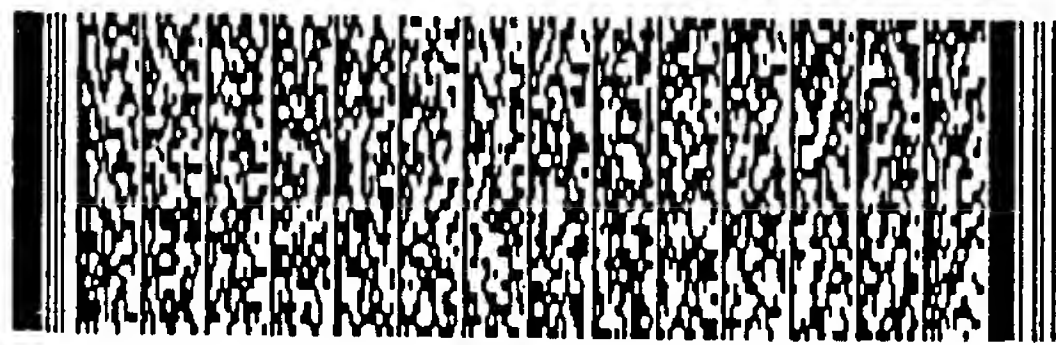
發明所屬之技術領域

本發明提供一種建立格雷碼的方法，尤指一種可計數任意個元素之格雷碼序列之方法及其相關之計數器電路。

先前技術

二進位計數器 (Binary Counter) 係為諸如個人電腦或者可程式化控制器等之數位系統中十分常見的組成電路之一，一般而言二進位計數器之計數順序係依照正常之二進位計數原則 (例如：0000->0001->0010->0011->0100->... 等) 來進行計數。但是上述正常之二進位計數原則在從前一個元素切換至下一元素的過程中時常會發生複數個位元同時改變數值的情形。例如：從0001切換至0010時，最低有效位元從0改變為1，同時第二低有效位元從1改變為0。當上述之複數個位元同時改變數值時，可能會發生暫態數值 (例如：0011) 使得二進位計數器發生切換錯誤 (Glitch)，從而影響電路的正常工作。

為了解決上述問題，通常使用格雷碼計數器 (Gray Code Counter) 來進行計數。格雷碼計數器係依照一格雷碼序列 (Gray Code Count Sequence) 來進行計數。請參照圖一，其為十進位數字0~15與一組16個四位元二



五、發明說明 (2)

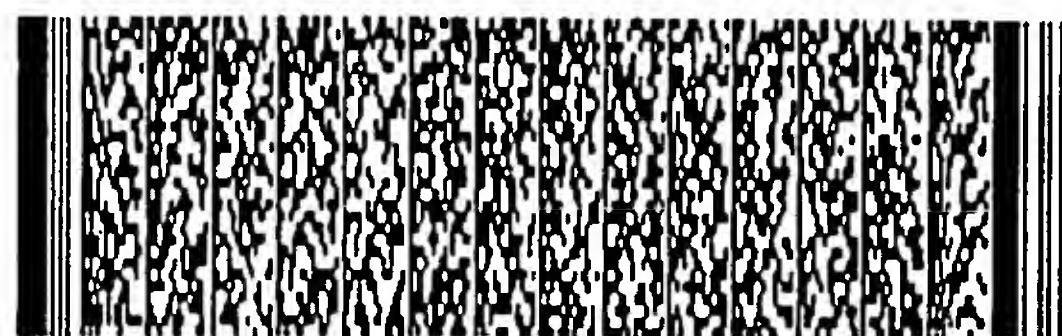
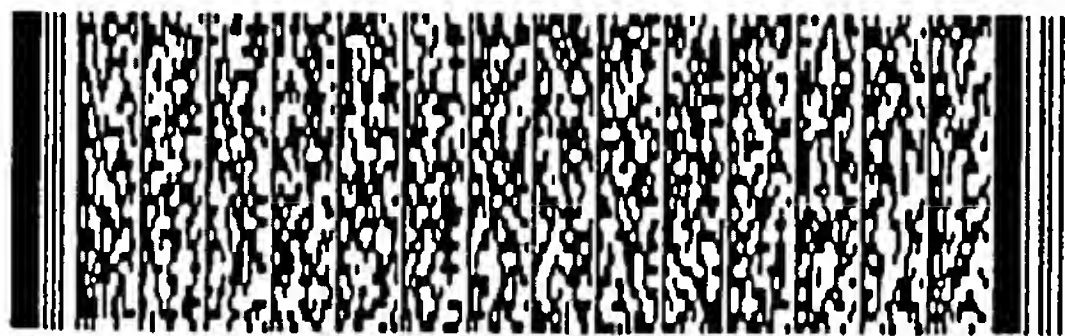
進位的格雷碼序列之對應表。該格雷碼序列的特性在於從前一個元素切換至下一個元素時僅改變其中一個位元，且在最後一個格雷碼僅改變其中一個位元即可回到第一個格雷碼。在本說明書中，稱此特性為格雷碼特性。因此依照格雷碼序列進行計數時，即可避免上述切換錯誤發生的情形。圖一中，位元切換序列欄即表示與前一個元素相比，改變位元的位置。若把該序列視為一有順序的集合，則該集合的任何有序子集合中，至少會有一個數字出現的次數為奇數。在本說明書中，稱此特性為位元切換序列特性。

然而，習知方法僅能建立具有 2^M 個元素之格雷碼序列， M 為格雷碼的位元數。而無法建立數量不等於 2^M 的格雷碼序列。亦即，當由最後一個元素，重設回第一個時，還是會產生複數個位元同時改變數值的情況。

發明內容

因此本發明之主要目的在於提供一種建立用以計數任意數目之格雷碼序列之方法。

根據本發明之申請專利範圍，係揭露一種建立格雷碼序列的方法，該格雷碼序列具有 N 個元素，包含：建立具有



六、申請專利範圍

($2^M - N - 1$)/2個第一刪除元素，其中，該第一有序子集合之該些第一刪除元素係分別與該第二有序子集合中之該些第一刪除元素相對應；以及

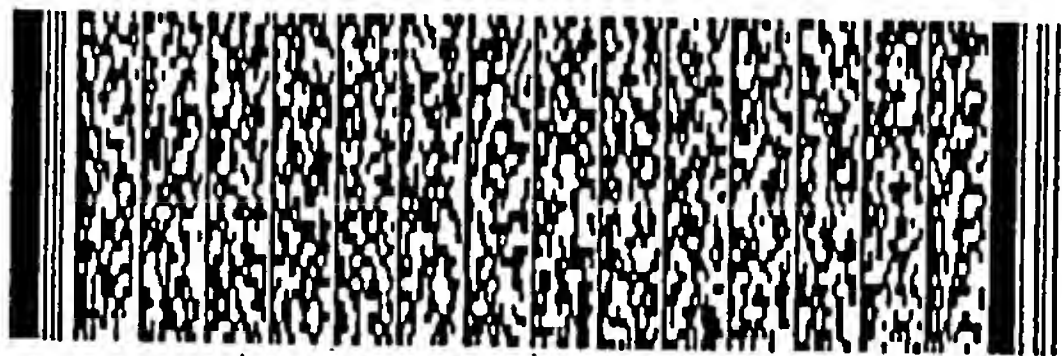
刪除一第二刪除元素，以得到該第二位元切換序列。

10.如申請專利範圍第9項所述之方法，其中該第一有序子集合之該些第一刪除元素之值係分別與該第二有序子集合中之相對應之該些第一刪除元素相同

11.如申請專利範圍第9項所述之方法，其中該第一有序子集合之該些第一刪除元素之位置係分別與該第二有序子集合中之相對應之該些第一刪除元素相同。

12.如申請專利範圍第9項所述之方法，其中當該第一有序子集合之該些第一刪除元素之一者係為該第一位元切換序列之第d個元素，則該第二有序子集合中之相對應之該第一刪除元素係為該第一位元切換序列之第 $2^M - d$ 個元素。

13.如申請專利範圍第9項所述之方法，其中該第一位元切換序列之第1個元素及第 $2^M - 1$ 個元素係為該些刪除元素。



14. 一格雷碼計數器，用以輸出一格雷碼，包括：

一時脈產生器，用以輸出一時脈信號；以及

一第一位元單元，包括：

一 XOR 閘，用以接收一第一輸入信號；

一 AND 閘，用以接收反相之一第二輸入信號並輸出一第一輸出信號；

一 OR 閘，用以接收該第二輸入信號並輸出一第二輸出信號；

一正反器，具有一信號輸入端，與該 XOR 閘之輸出端耦接，以及一信號輸出端，分別與該 XOR 閘、該 AND 閘及該 OR 閘之輸入端耦接，用以依據該時脈信號輸出一位元輸出信號；

其中，該格雷碼計數器係由複數個第一位元單元串接而成，且該格雷碼包括該些位元輸出信號。

15. 一格雷碼計數器，包括：

一時脈產生器，用以輸出一時脈信號；

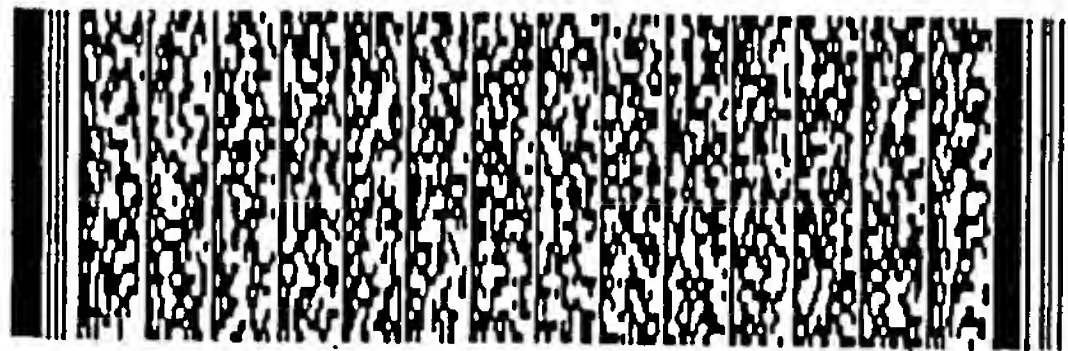
一第一位元單元，包括：

一 XOR 閘，用以接收一第一輸入信號；

一 AND 閘，用以接收反相之一第二輸入信號並輸出一第一輸出信號；

一 OR 閘，用以接收該第二輸入信號並輸出一第二輸出信號；

一正反器，具有一信號輸入端，與該 XOR 閘之輸



六、申請專利範圍

出端耦接，以及一信號輸出端，分別與該 AND閘及該 OR閘之輸入端耦接，用以依據該時脈信號輸出一格雷碼位元輸出信號；以及

一第二位元單元，包括：

一 XOR閘，用以接收一第三輸入信號；

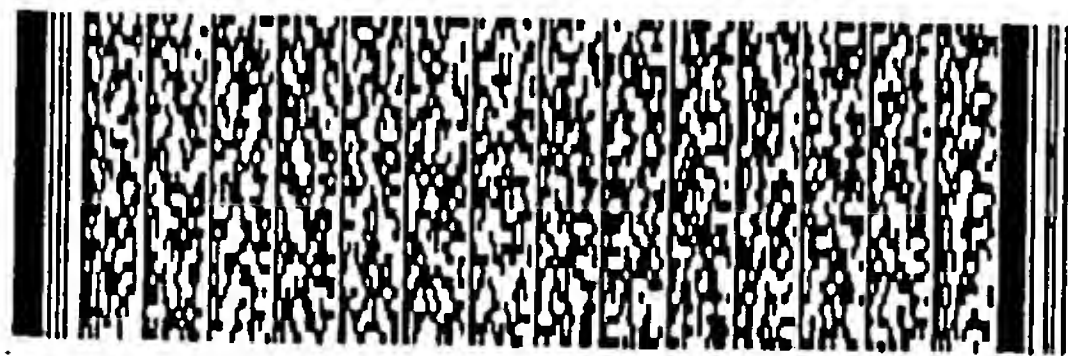
一 AND閘，用以接收反相之一第四輸入信號並輸出一第三輸出信號；

一 OR閘，用以接收一第四輸入信號並輸出一第四輸出信號；

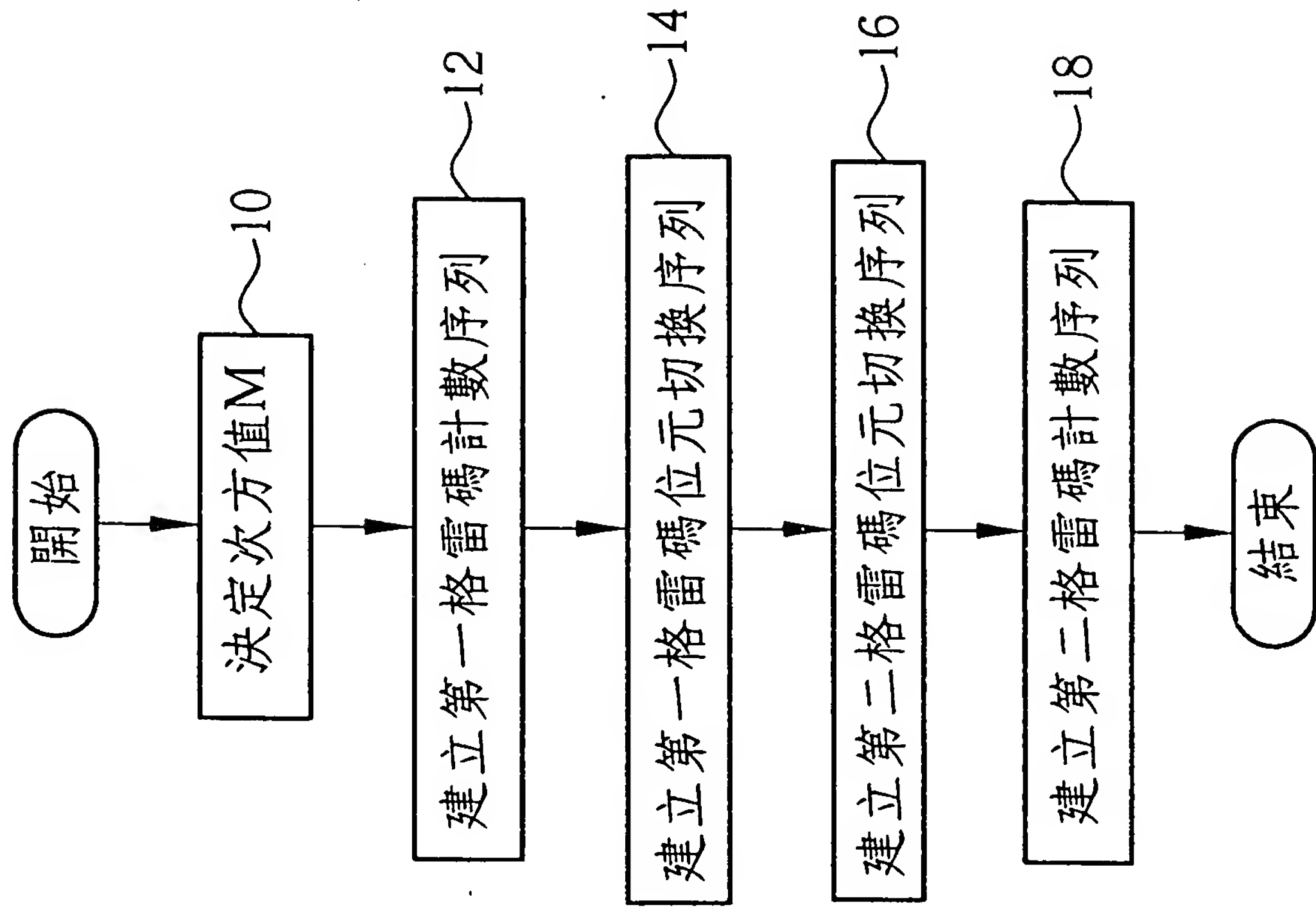
一正反器，具有一信號輸入端，與該 XOR閘之輸出端耦接，以及一信號輸出端，用以依據該時脈信號輸出另一格雷碼位元輸出信號；以及

一 XNOR閘，分別接收一第五輸入信號及該格雷碼位元輸出信號，其輸出端分別與該 AND閘及該 OR閘之輸入端耦接；

其中，該格雷碼計數器係由該第一位元單元及該第二位元單元串接而成。



十進位數字	二進位格雷碼	位元切換序列
0	0000	1
1	0001	2
2	0011	1
3	0010	3
4	0110	1
5	0111	2
6	0101	1
7	0100	4
8	1100	1
9	1101	2
10	1111	1
11	1110	3
12	1010	1
13	1011	2
14	1001	1
15	1000	1



圖二

十進位數字	二進位格雷碼	位元切換序列
0	000	1
1	001	2
2	011	1
3	010	3
4	110	1
5	111	2
6	101	1
7	100	

圖三

十進位數字	二進位格雷碼	位元切換序列
0	000	2
1	010	1
2	011	3
3	111	2
4	101	1
5	100	

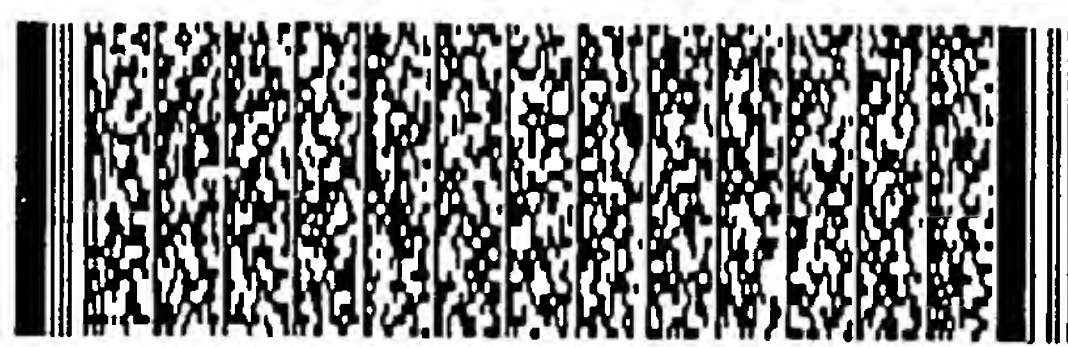
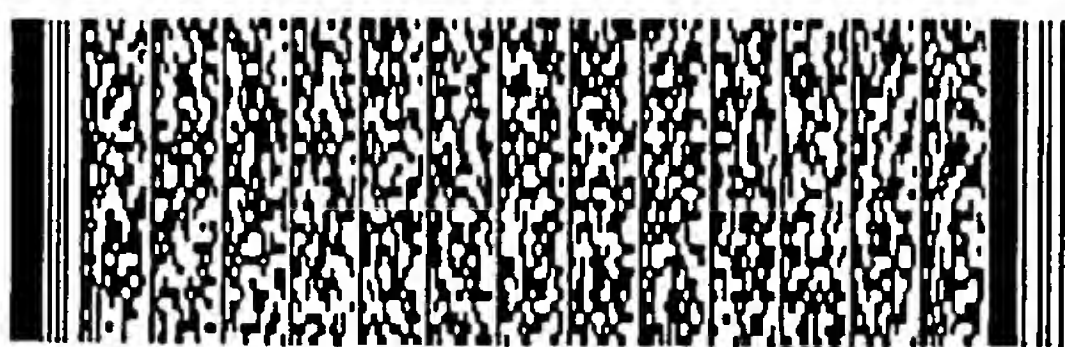
圖四

五、發明說明 (8)

40與 D型正反器之 Q輸出端耦接。XOR邏輯閘 40的輸出信號分別送入 AND邏輯閘 36以及 OR邏輯閘 38。

請參閱圖八，圖八中顯示本發明利用圖六及圖七中之第一及第二位元單元 20、30所組成之實施本發明提出之第一實施例之格雷碼計數器之電路圖。計數器 50具有三個輸出信號 (G2, G1, G0)，分別代表第二格雷碼序列的三個位元。其中，由於在建立第二位元切換序列時，元素 "1"在第一及第二有序子集合中各被刪除了奇數次 (1次)，故使用第二位元單元 30以輸出格雷碼的最低位元 (即第一位元) G0。其他元素 (元素 "2"及 "3")在第一及第二有序子集合中皆沒有刪除或各被刪除偶數次。故使用第一位元單元 20以輸出格雷碼的第二及第三位元。本發明所提出之格雷碼計數器係依據上述之方式，以複數個第一位元單元 20及第二位元單元 30串接而成。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變與修飾，皆屬於本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知技術之格雷碼序列的示意圖。

圖二為本發明一建立格雷碼序列之方法的流程圖。

圖三為本發明之第一實施例之第一格雷碼序列的示意圖。

圖四為本發明之第一實施例之第二格雷碼序列的示意圖。

圖五為本發明之第二實施例之第二格雷碼序列的示意圖。

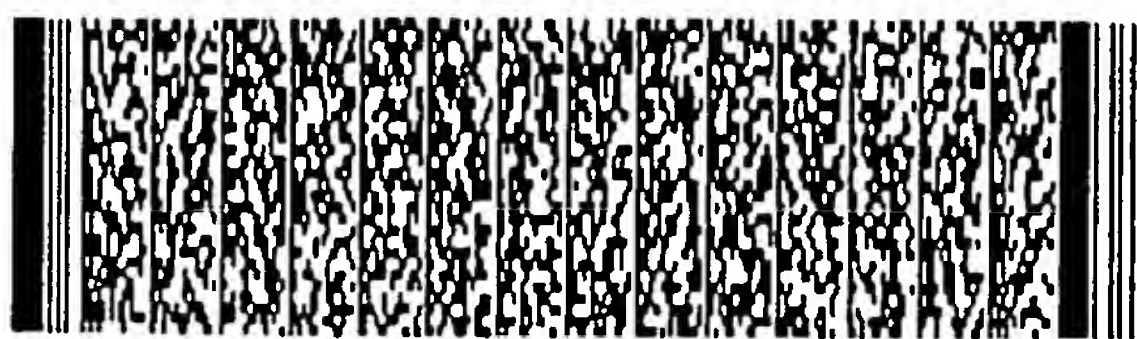
圖六為本發明之計數器之第一位元單元的電路圖。

圖七為本發明之計數器之第二位元單元的電路圖。

圖八為本發明之計數器之第一實施例的電路圖。

圖式之符號說明

20、30	位元單元	22、32	XOR邏輯閘
24、34、52	D型正反器	26、36	AND邏輯閘
28、38、58	OR邏輯閘	40、54	XNOR邏輯閘
50	計數器	56	反向器



六、申請專利範圍

1.一種建立具有 N 個格雷碼之格雷碼序列 (Gray Code Count Sequence) 的方法包含：

依據具有 2^M 個格雷碼之一第一格雷碼序列決定一第一位元切換序列，該第一位元切換序列具有 2^M-1 個元素，且具有一位元切換序列特性，其中， 2^M 大於 N ；

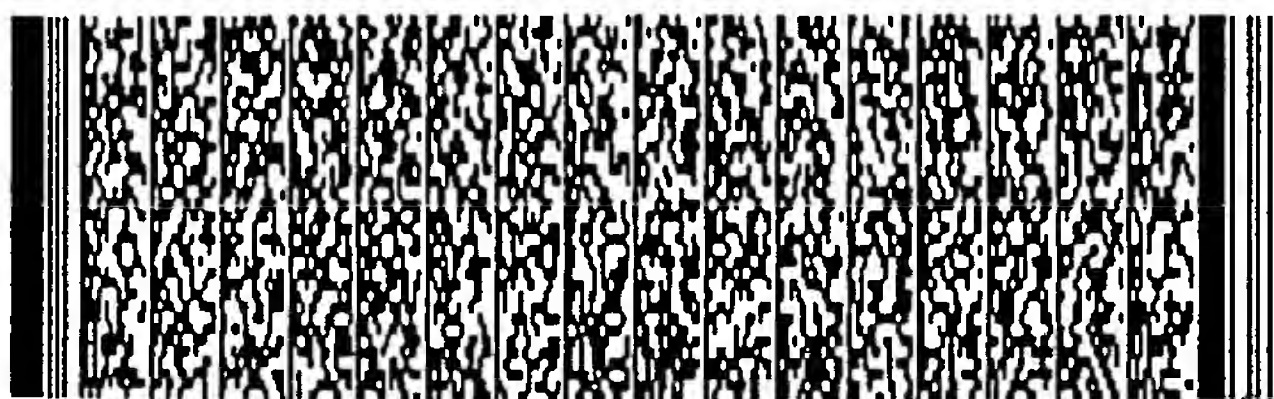
依據該第一位元切換序列決定一第二位元切換序列，該第二位元切換序列具有 $N-1$ 個元素，且亦具有該位元切換序列特性；以及

依據該第二位元切換序列決定一第二格雷碼序列。

2.如申請專利範圍第 1 項所述之方法，其中，該位元切換序列特性為若分別把該第一及該第二位元切換序列視為有順序的一集合，則該集合的所有複數個有序子集合中，至少會有一個元素出現的次數為奇數。

3.如申請專利範圍第 1 項所述之方法，其中，係以自該第一位元切換序列刪除 2^M-N 個元素，以決定該第二位元切換序列。

4.如申請專利範圍第 3 項所述之方法，其中，該第一位元切換序列更包括一第一有序子集合，係由自第一個元素至第 $(2^M-2)/2$ 個元素所組成，以及一第二有序子集合，係由第 $2^M/2$ 個元素至第 2^M-1 個元素所組成，。



六、申請專利範圍

5.如申請專利範圍第4項所述之方法，其中當執行自該第一位元切換序列刪除 $2^M - N$ 個元素的步驟，當 $2^M - N$ 為一偶數時，則分別自該第一有序子集合及該第二有序子集合刪除 $(2^M - N)/2$ 個刪除元素，以得到該第二位元切換序列，其中，該第一有序子集合之該些刪除元素係分別與該第二有序子集合中之該些刪除元素相對應。

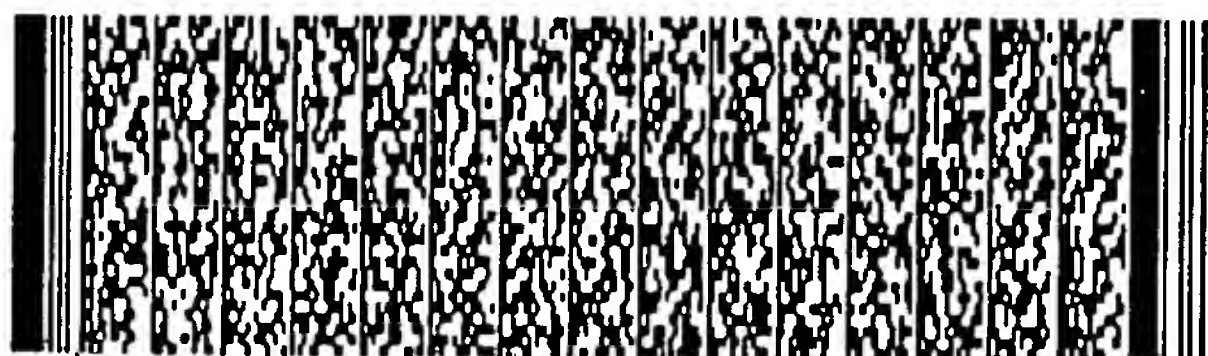
6.如申請專利範圍第5項所述之方法，其中該第一有序子集合之該些刪除元素之值係分別與該第二有序子集合中之相對應之該些刪除元素相同

7.如申請專利範圍第5項所述之方法，其中該第一有序子集合之該些刪除元素之位置係分別與該第二有序子集合中之相對應之該些刪除元素相同。

8.如申請專利範圍第5項所述之方法，其中當該第一有序子集合之該刪除元素係為該第一位元切換序列之第 d 個元素，則該第二有序子集合中之相對應之該刪除元素係為該第一位元切換序列之第 $2^M - d$ 個元素。

9.如申請專利範圍第5項所述之方法，其中當執行該第一位元切換序列刪除 $2^M - N$ 個元素的步驟時，當 $2^M - N$ 為一奇數時，則更包括：

分別自該第一有序子集合及該第二有序子集合刪除



五、發明說明 (3)

2^M個元素之第一格雷碼序列，其中，M值係為使2^M為大於N之最小正整數；依據第一格雷碼序列決定第一位元切換序列，第一位元切換序列具有2^M-1個元素，且具有位元切換序列特性；依據第一位元切換序列決定第二位元切換序列，第二位元切換序列具有N-1個元素，且亦具有位元切換序列特性；以及依據第二位元切換序列決定第二格雷碼序列。

實施方式

圖二顯示本發明所提出之一建立格雷碼序列之方法的流程圖。本發明係用來建立包含有任意N個元素之格雷碼序列，包含以下步驟：

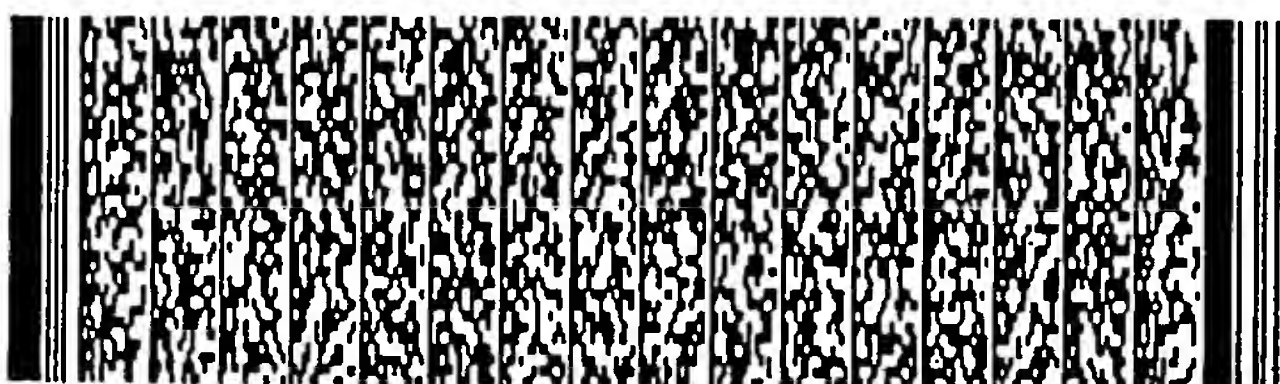
步驟10：依據N值決定次方值M，使得2^M為大或等於N且最接近N之整數；

步驟12：建立具有2^M個元素之第一格雷碼序列；

步驟14：依據第一格雷碼序列，建立具有2^M-1個第一位元切換序列，其中每一個值即表示與前一個格雷碼相比，數值改變的位元位置；

步驟16：從第一位元切換序列中刪除適當個元素，以得到具有N-1個元素的第二位元切換序列；以及

步驟18：依據第二切換序列建立具有N個元素之第二格雷碼序列。



五、發明說明 (4)

在本實施例中，係以建立包含有 6 個元素的格雷碼序列為例。首先，由 $N=6$ 得知 $M=3$ ，亦即需要建立包含 $2^3=8$ 個元素的三位元二進位之第一格雷碼序列，並且依據第一格雷碼序列建立具有 7 個元素的第一位元切換序列，其結果如圖三所示。

接著，從第一位元切換序列中刪除某些數字，以得到第二位元切換序列。在本實施例中，由於僅需 6 個格雷碼，故需要從第二位元切換序列中刪除 2 個數字。選取的方式為：刪除數值相同的兩個數字。同時，需注意的是，刪除之後所得到的第二位元切換序列，亦必需要維持該序列集合之任何有序子集合中，至少要有一個數字出現的次數為奇數的位元切換序列特性。一般習知格雷碼位元切換序列，除了序列中點之第一元素之外，整個序列係可相對於序列中點之第一元素分為完全相同之第一有序子集合及第二有序子集合。以圖三所示之第一位元切換序列 $\{1, 2, 1, 3, 1, 2, 1\}$ 為例，以第四個元素 "3" 為中點，可分為兩個完全相同的有序子集合 $\{1, 2, 1\}$ 。而在本實施例中，於進行選擇刪除之動作時，若欲刪除的元素數量為偶數時，則對稱地分別從第一有序子集合及第二有序子集合刪去同樣多之數值相同的元素，且被刪除的元素在兩有序子集合中的位置皆相同。再以圖三為例，在本實施例中欲刪去兩個數字，故分別在第一有序子集合

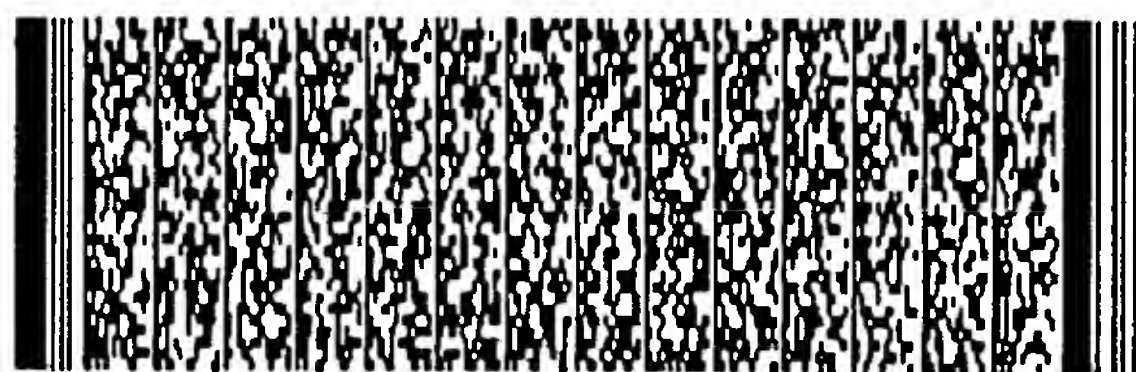
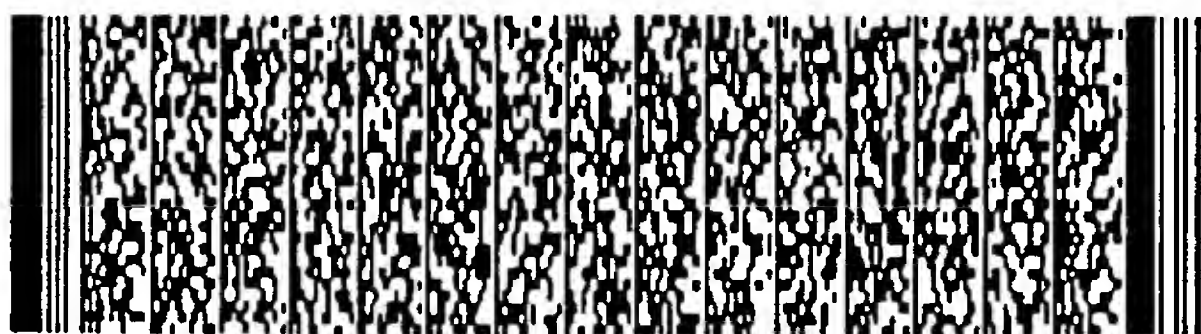


五、發明說明 (5)

{1, 2, 1}及第二有序子集合 {1, 2, 1}各刪掉第一個元素 "1"。需注意的是，如果刪掉元素 "2"的話，則第一有序子集合跟第二有序子集合都僅具有 2個元素 "1"，並不符合位元切換序列特性。故在本實施例中，刪除元素 "2"是不允許的。請參照圖四，刪除兩個元素 "1"之後，所得到的第二位元切換序列，係如圖四所示。此外，上文所述之選取欲刪除的元素僅為實施本發明之方法之一，但本發明並不以此為限，凡是可以使得第二位元切換序列符合上文所述之位元切換序列特性的方法，例如：刪除兩有序子集合中，相對於序列的鏡像位置的元素。以第一實施例為例，係分別刪除序列中第一個元素及最後一個元素 "1"，皆屬於本發明之範圍。

最後於步驟 18中，則依據第二位元切換序列產生具有 6個元素之三位元二進位之第二格雷碼序列，如圖四所示。例如：第二位元切換序列之第一個數字是 2，即是切換第二格雷碼序列的第一個元素 000的第 2個位元，以得到第二個元素 010，以此類推。由圖四可知，第二格雷碼序列亦具有上文所述之格雷碼特性。故能夠將切換錯誤 (Glitch) 發生之機率降至最低。

請參照圖五，其繪示本發明所提出之第二實施例之示意圖。如欲建立具有 11個元素之格雷碼序列。則依據上文第一實施例所述之方法依序執行步驟 10、12及 14。相關

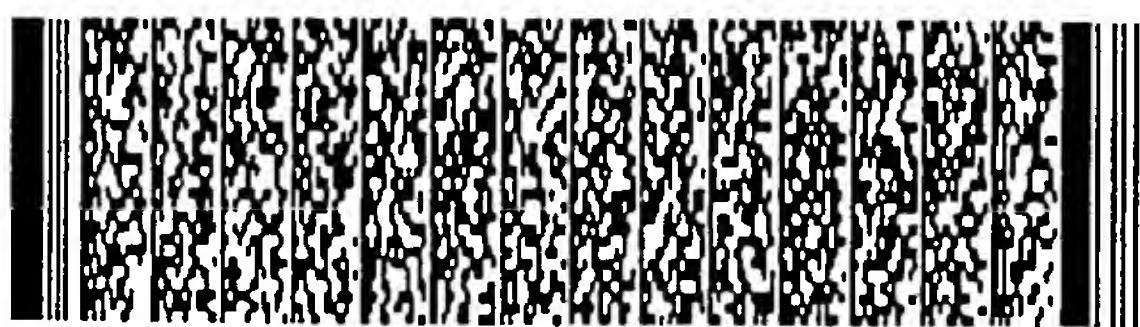


五、發明說明 (6)

細節請參照上文第一實施例中相對應之描述，於此不再贅述。且執行步驟 14 後所得之第一位元切換序列，係如圖一所示。

在本實施例中，需自第一位元切換序列中刪除 5 個元素以得到第二位元切換序列。當欲刪除之元素數目為奇數時，例如：5 個，則先依據第一實施例所述的方式先自第一位元切換序列中刪除 4 個元素後，再多刪去一個元素即可得到第二位元切換序列。需注意的是，在第二實施例中，當依據第一實施例所述之方法選擇刪除偶數個元素時，係優先刪除相對於序列中點的元素的第一有序子集合中的第一個元素 "1" 以及第二有序子集合中的最後一個元素 "1"。並且，在選取該多刪除的元素時，必須要使刪除後所得的第二位元切換序列仍然維持上文所述之位元切換序列特性。在本實施例中，係先刪除相對於序列中點的元素 "4" 之第一有序子集合 $\{1, 2, 1, 3, 1, 2, 1\}$ 中的第一個及第二個元素 $\{1, 2\}$ ，以及第二有序子集合 $\{1, 2, 1, 3, 1, 2, 1\}$ 中的第一個及第二個元素 $\{2, 1\}$ 。之後，再刪除第一有序子集合中第三個元素 "1"，即可得到如圖五所示之第二位元切換序列。

依據第二位元切換序列建立如圖五所示之第二格雷碼序列，可滿足格雷碼每次切換均僅改變一個位元的要求。惟依據第二位元切換序列所得之第二格雷碼序列，其最



五、發明說明 (7)

後一個元素 1001 切換回第一個元素 0000 時，係改變了兩個位元。故當由 1001 切換回 0000 時，可能的暫態數值包含有 1000 及 0001。而由於在第一位元切換序列中選取偶數個刪除元素時，已優先刪除相對於序列中點的元素的第一有序子集合中的第一個以及第二有序子集合中的最後一個元素。如此，可保證第二格雷碼序列中不會包含 1000 及 0001，故不會有切換錯誤 (Glitch) 的情況發生。

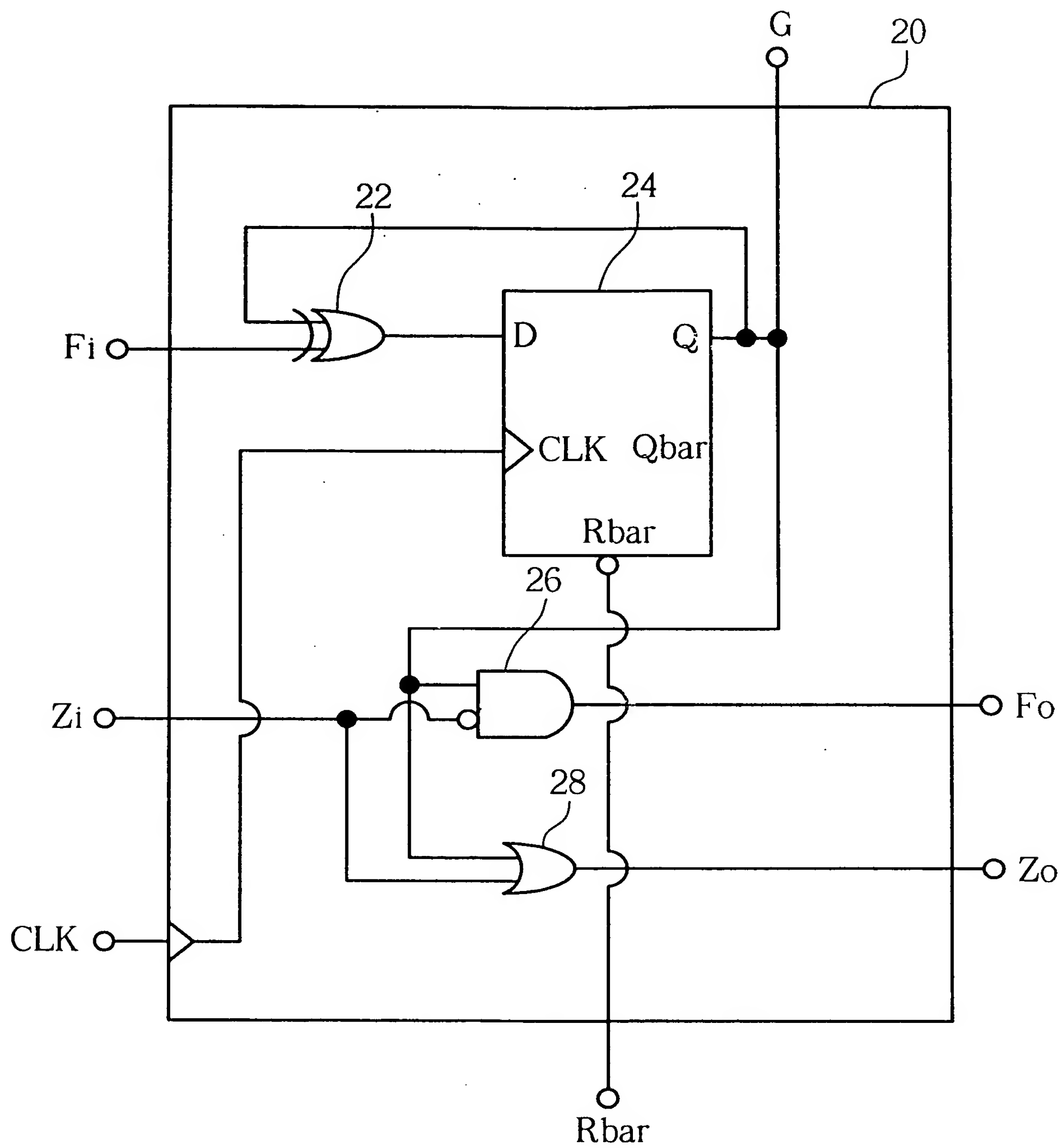
請參閱圖六及圖七，圖六中係顯示依據本發明之方法所建立之格雷碼序列進行計數之計數器所使用之第一位元單元 20 的電路圖，而圖七中則顯示該計數器所使用之第二位元單元 30 的示意圖。圖六中之第一位元單元 20 係具有第一輸入端 F_i 、第二輸入端 Z_i 、時脈輸入端 Clock、重設輸入端 R_{bar} 、第一輸出端 F_o 、第二輸出端 Z_o 以及位元輸出端 G。第一位元單元 20 包含有 XOR 邏輯閘 22、D 型正反器 24、AND 邏輯閘 26 以及 OR 邏輯閘 28，其中 D 型正反器 24 於重設時係依據重設輸入端 R_{bar} 之訊號以低態主動之方式將其輸出訊號重設為 0，AND 邏輯閘 26 之其中一個輸入端係為反向輸入，而上述電路元件之間之相互連結則如圖六所示。

圖七中之第二位元單元 30 與圖六之第一位元單元 20 之不同之處在於，另具有一回授輸入端 H，利用一 XOR 邏輯閘

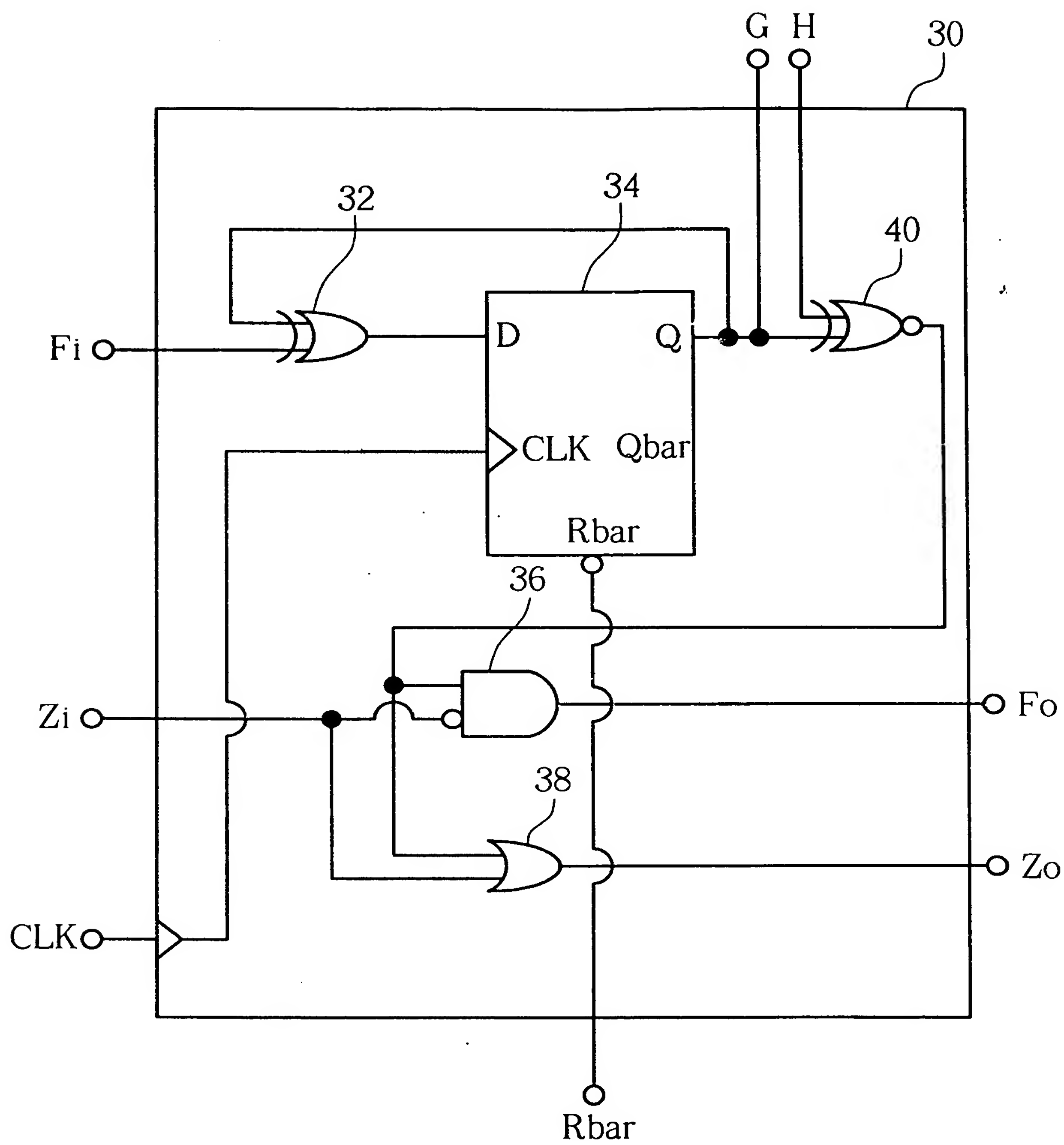


十進位數字	二進位格雷碼	位元切換序列
0	0000	3
1	0100	1
2	0101	2
3	0111	1
4	0110	4
5	1110	1
6	1111	2
7	1101	1
8	1100	3
9	1000	1
10	1001	

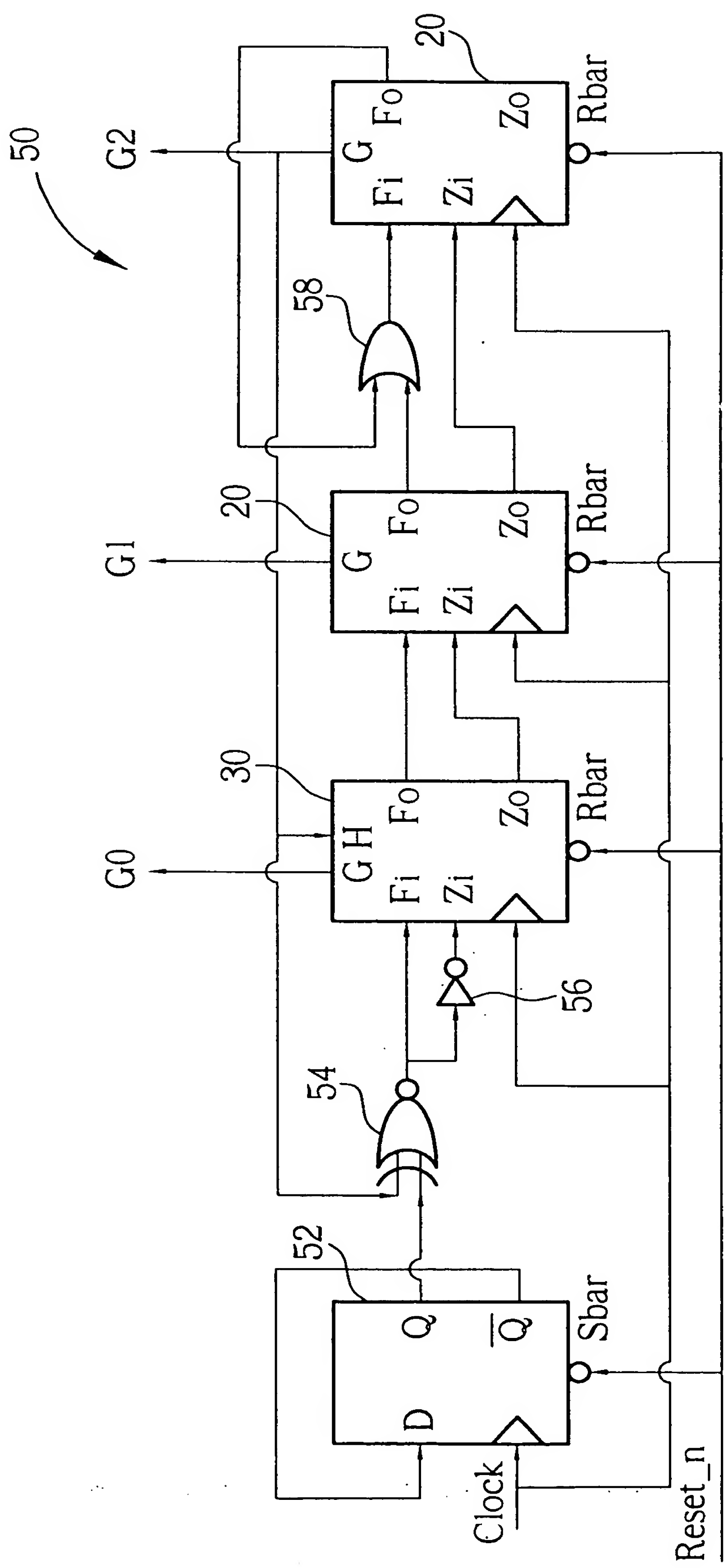
圖五



圖六

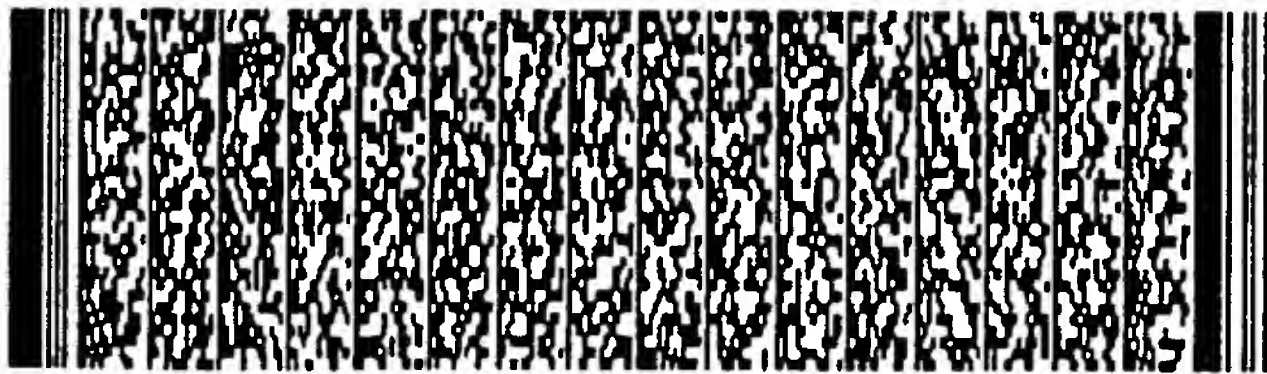


圖七

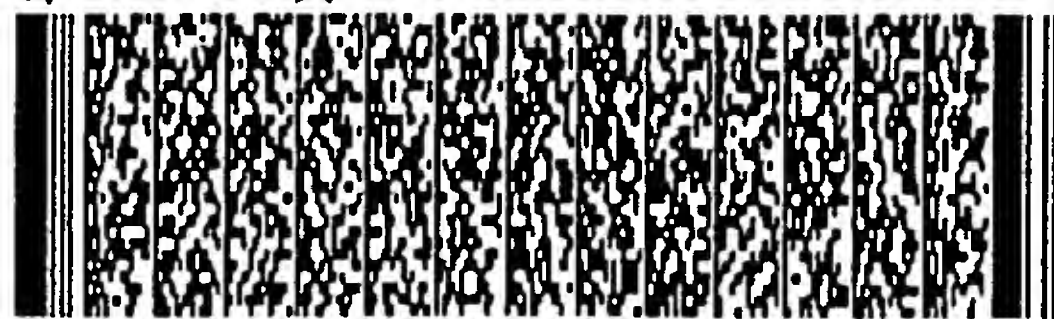


圖八

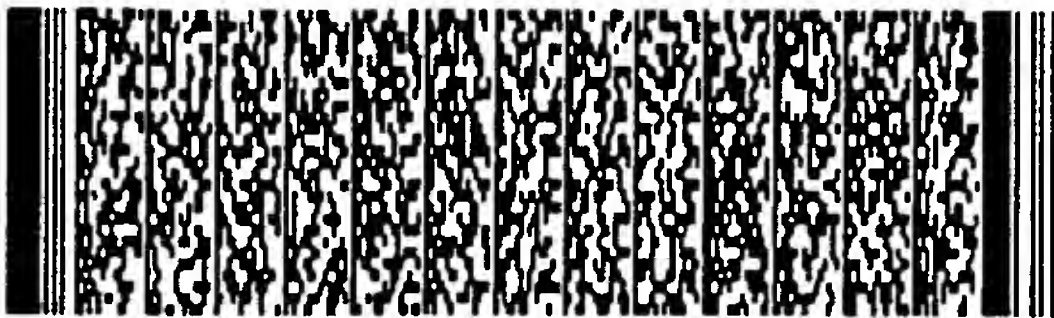
第 1/18 頁



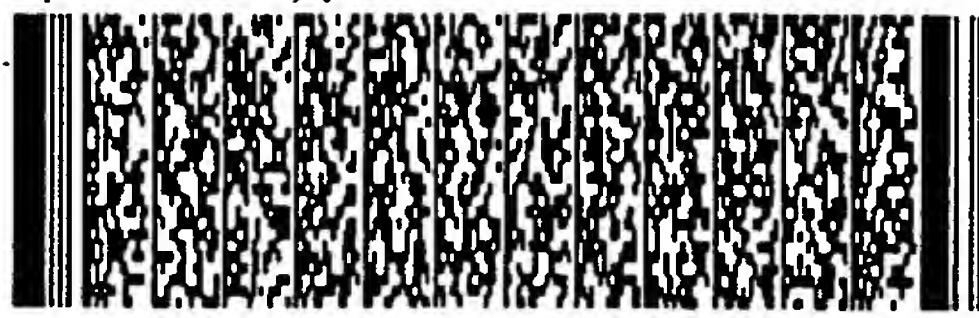
第 2/18 頁



第 2/18 頁



第 3/18 頁



第 4/18 頁



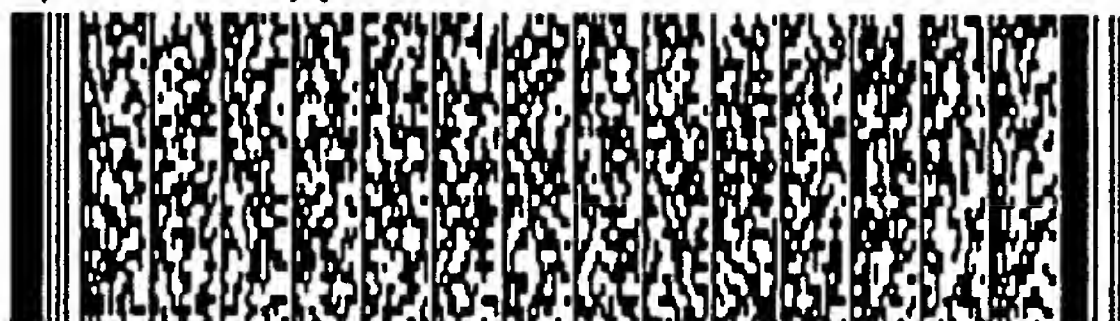
第 5/18 頁



第 5/18 頁



第 6/18 頁



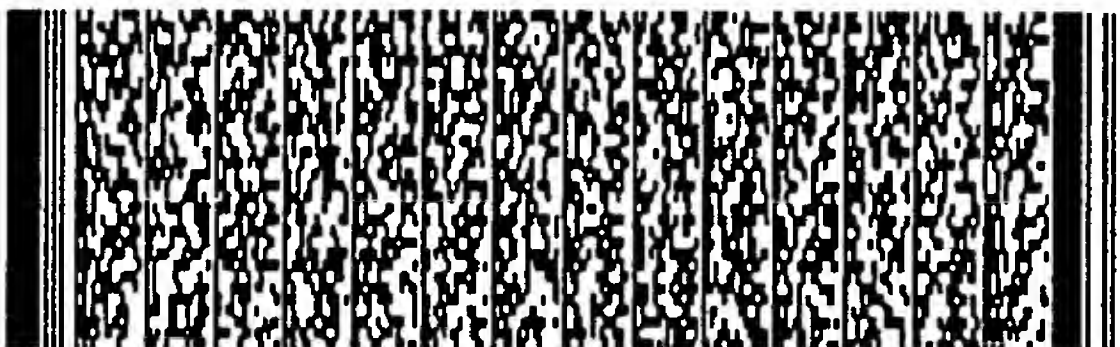
第 6/18 頁



第 7/18 頁



第 8/18 頁



第 8/18 頁



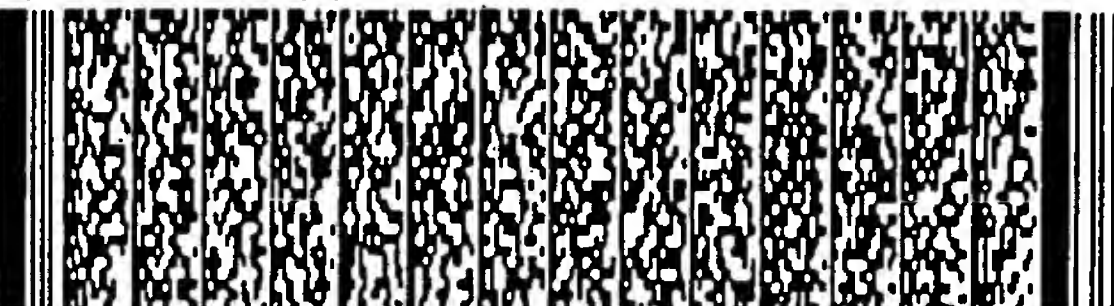
第 9/18 頁



第 9/18 頁



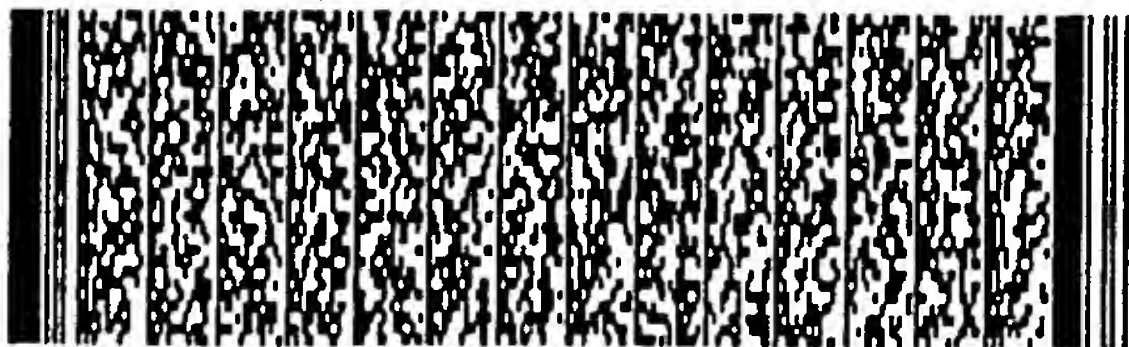
第 10/18 頁



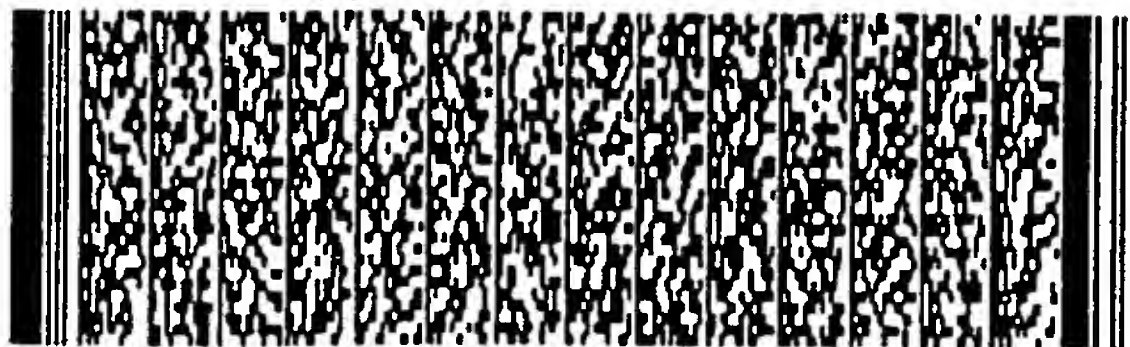
第 10/18 頁



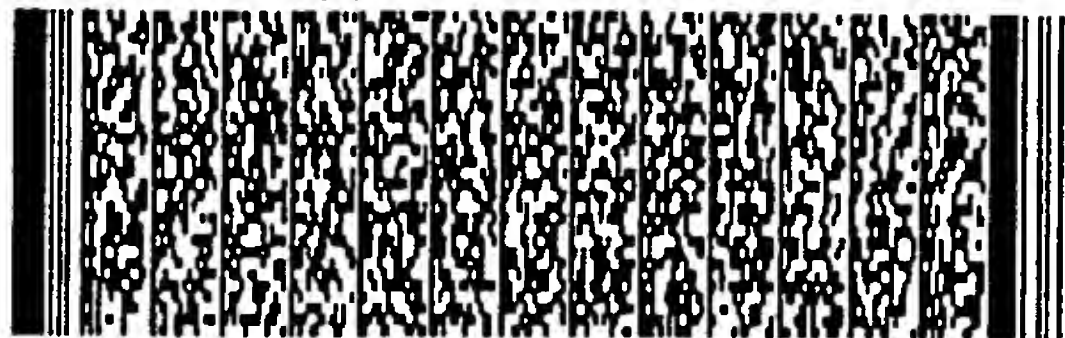
第 11/18 頁



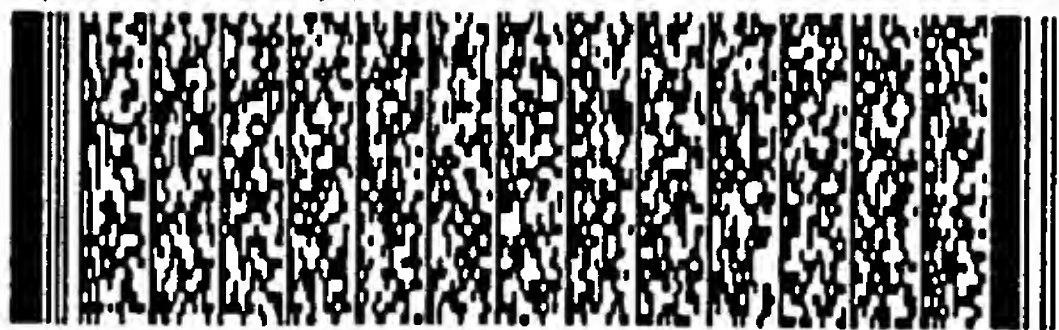
第 11/18 頁



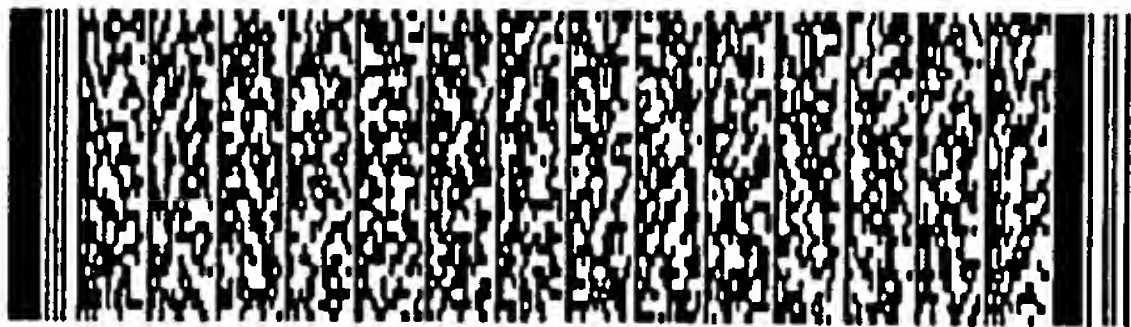
第 12/18 頁



第 12/18 頁



第 13/18 頁



第 14/18 頁



第 15/18 頁



第 16/18 頁



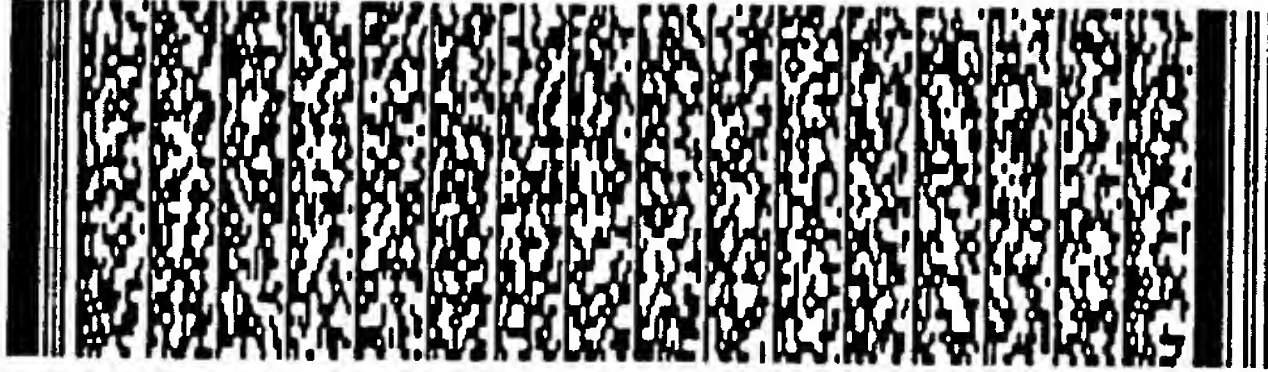
第 17/18 頁



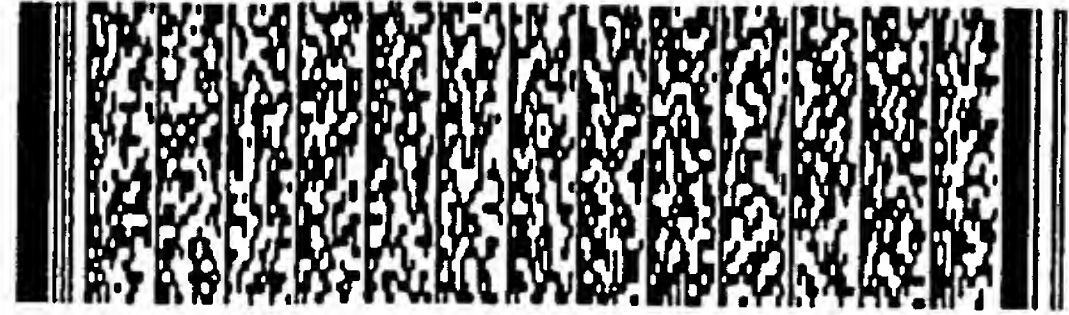
第 18/18 頁



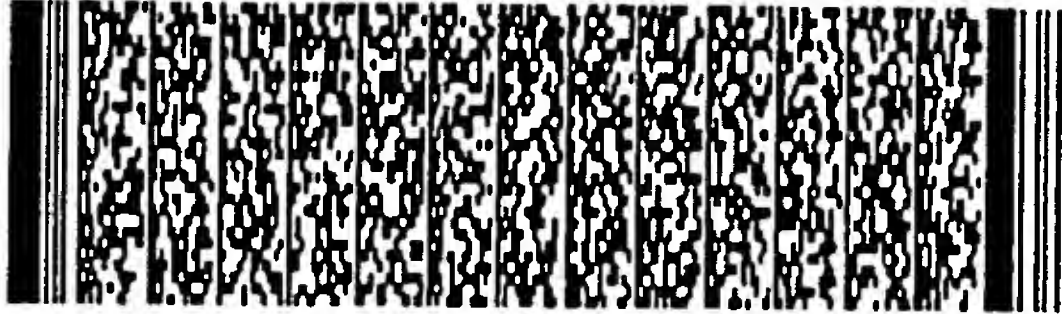
第 1/18 頁



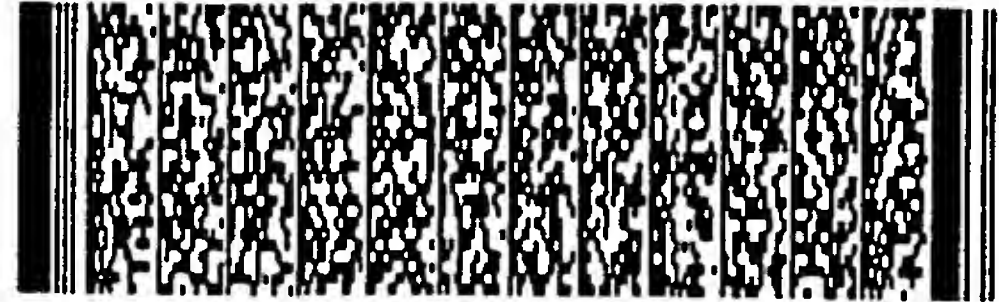
第 2/18 頁



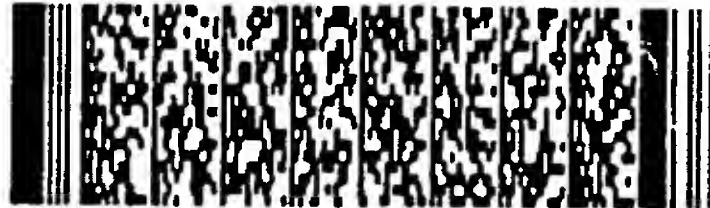
第 2/18 頁



第 3/18 頁



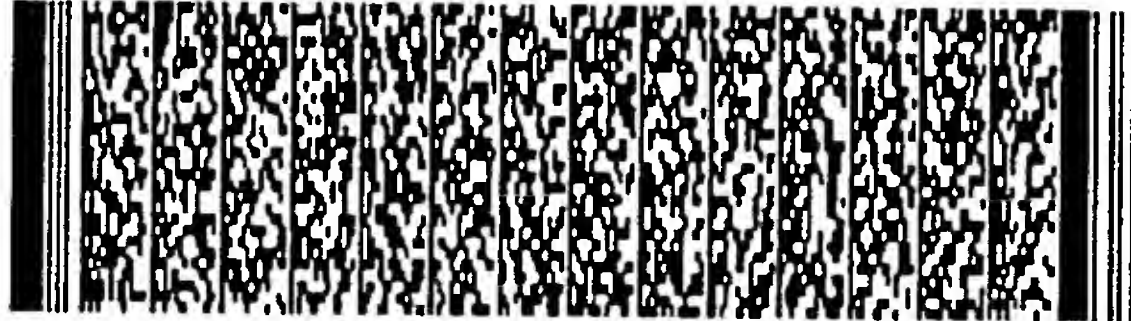
第 4/18 頁



第 5/18 頁



第 5/18 頁



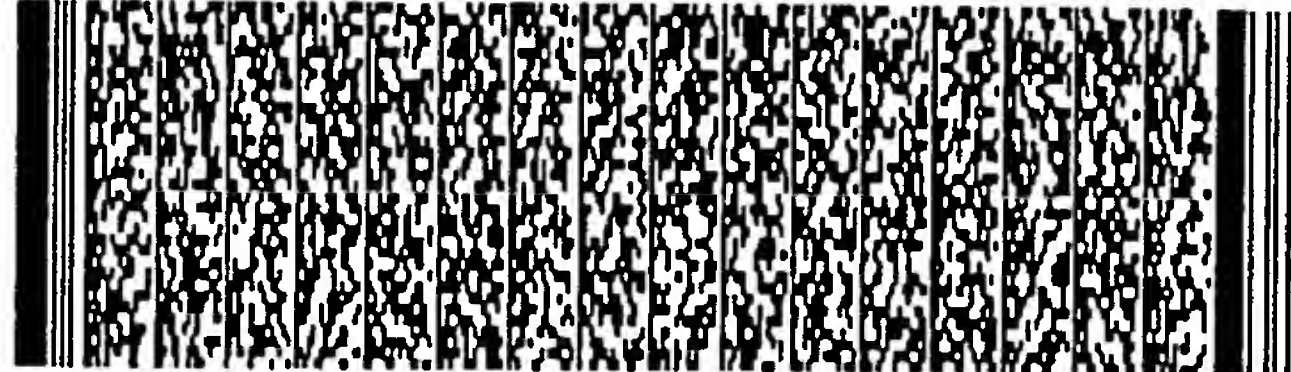
第 6/18 頁



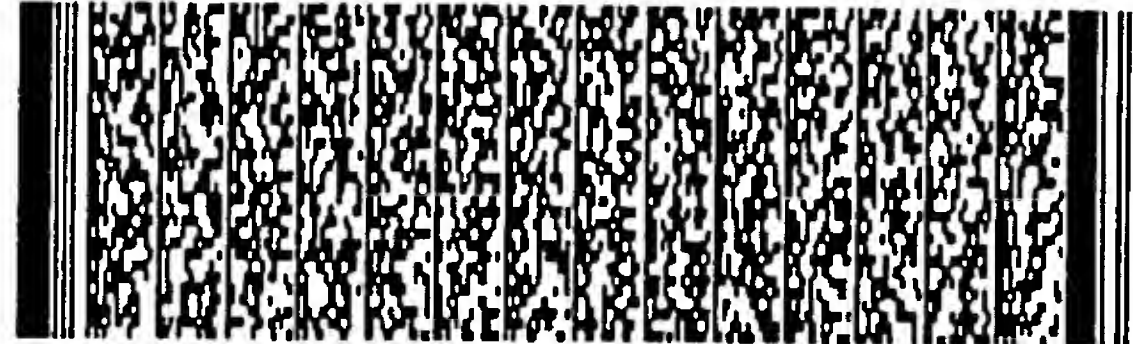
第 6/18 頁



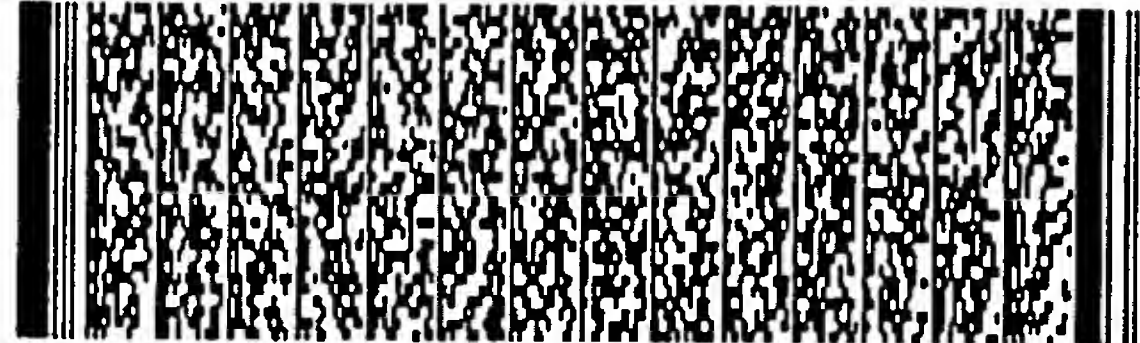
第 7/18 頁



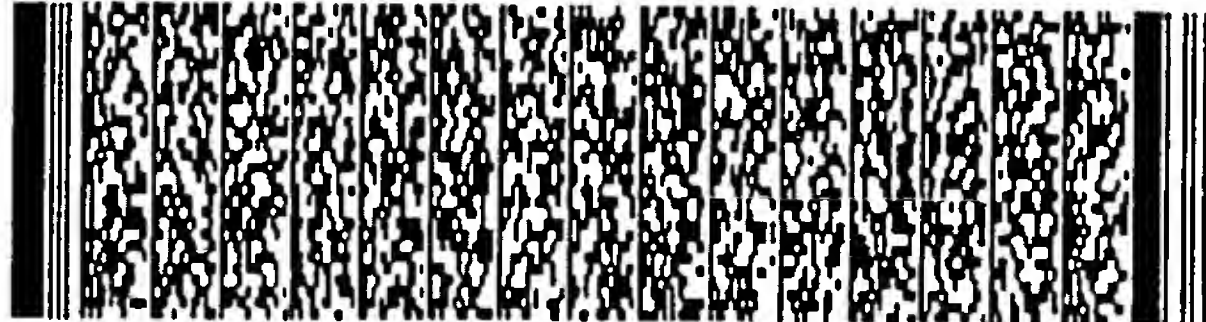
第 8/18 頁



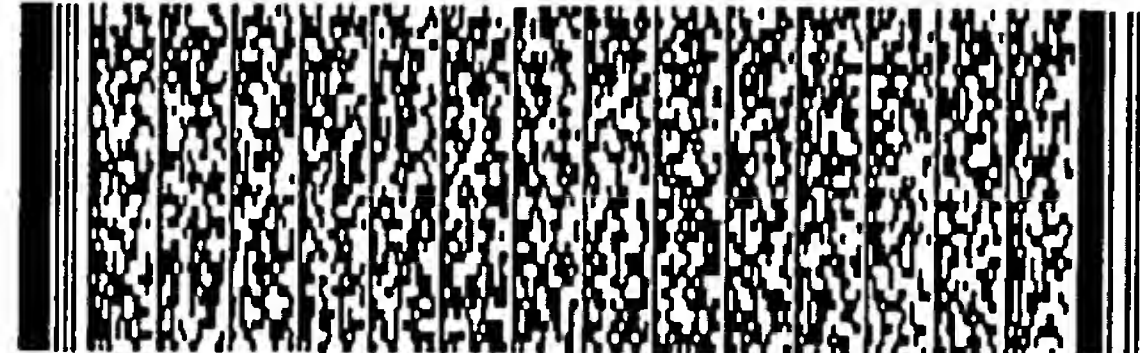
第 8/18 頁



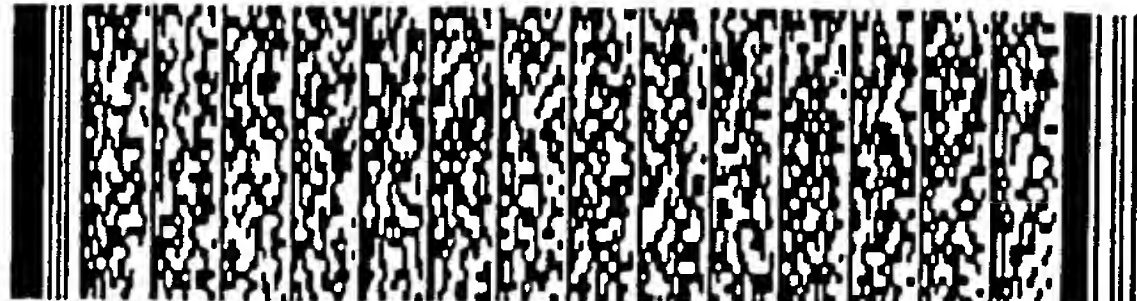
第 9/18 頁



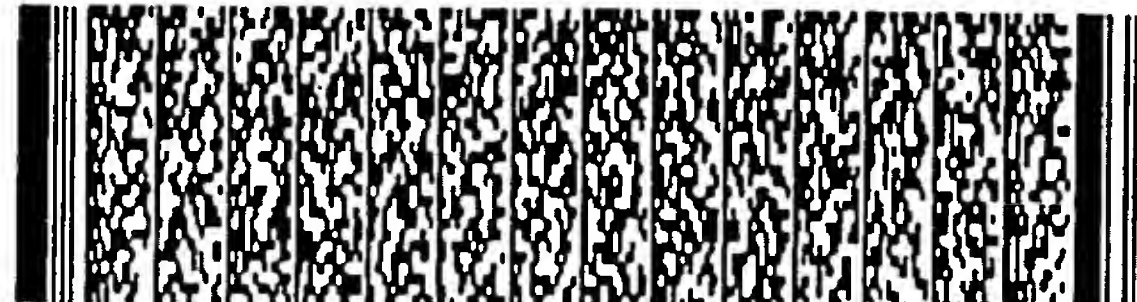
第 9/18 頁



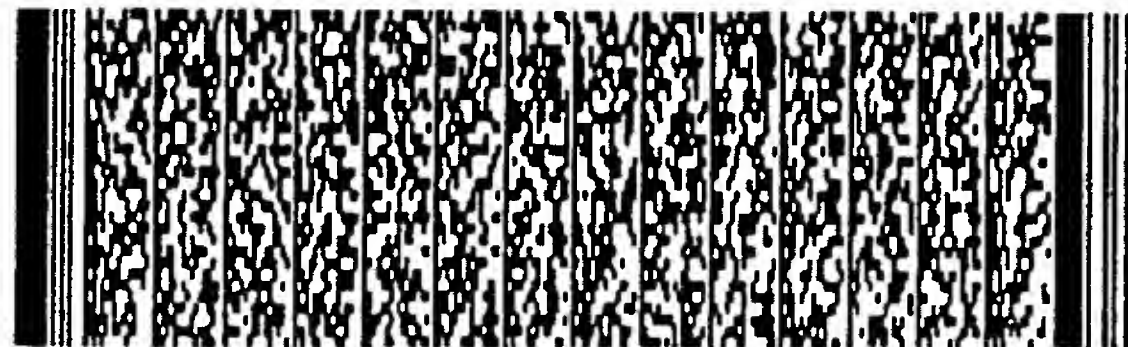
第 10/18 頁



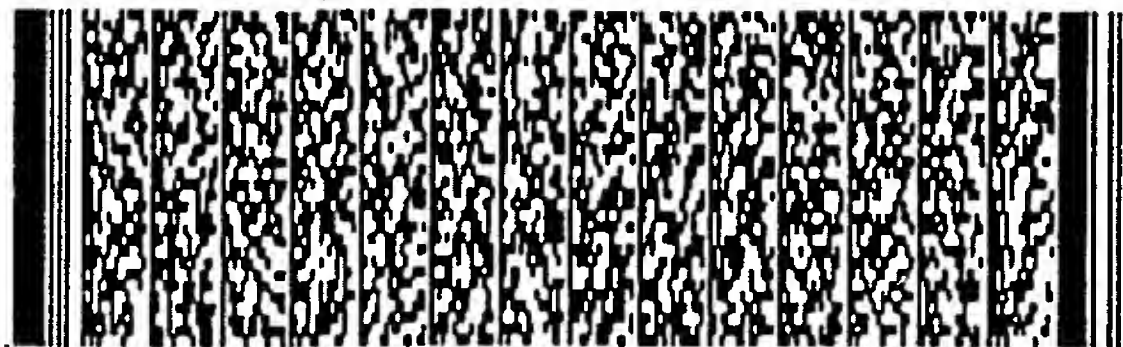
第 10/18 頁



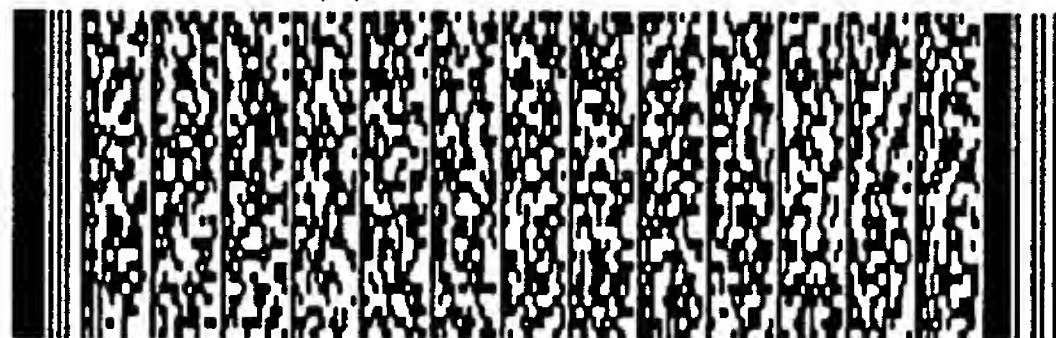
第 11/18 頁



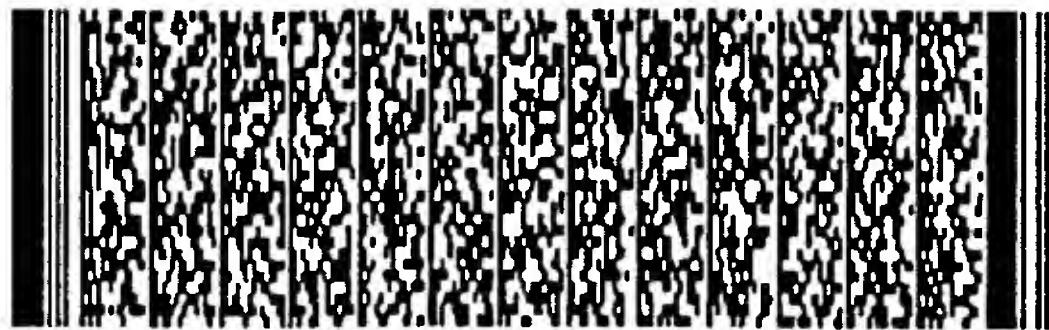
第 11/18 頁



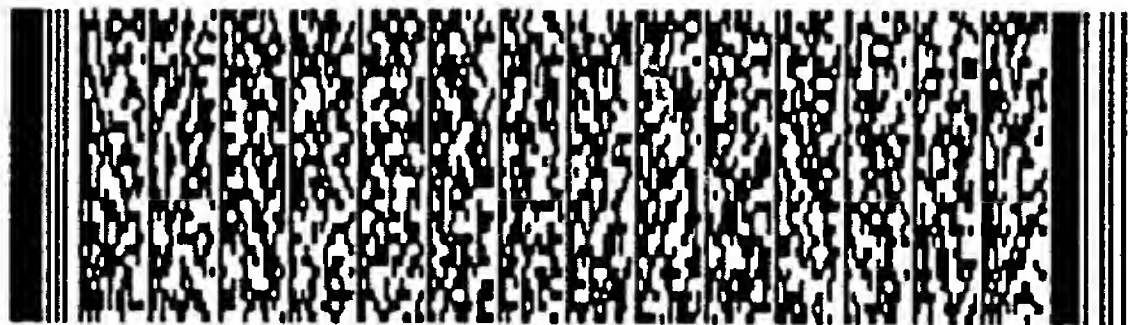
第 12/18 頁



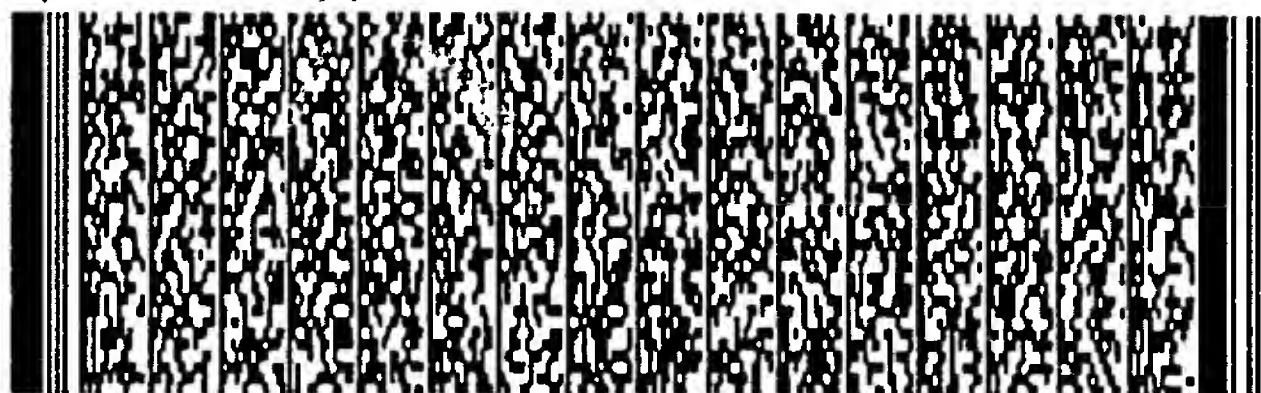
第 12/18 頁



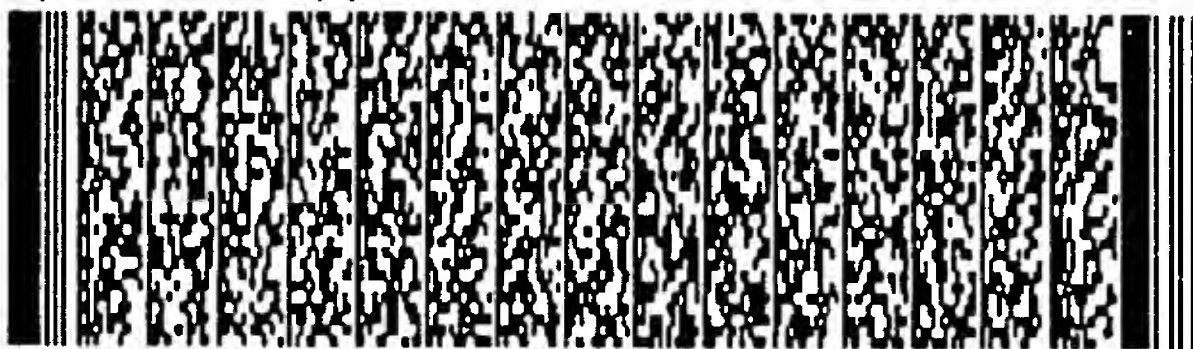
第 13/18 頁



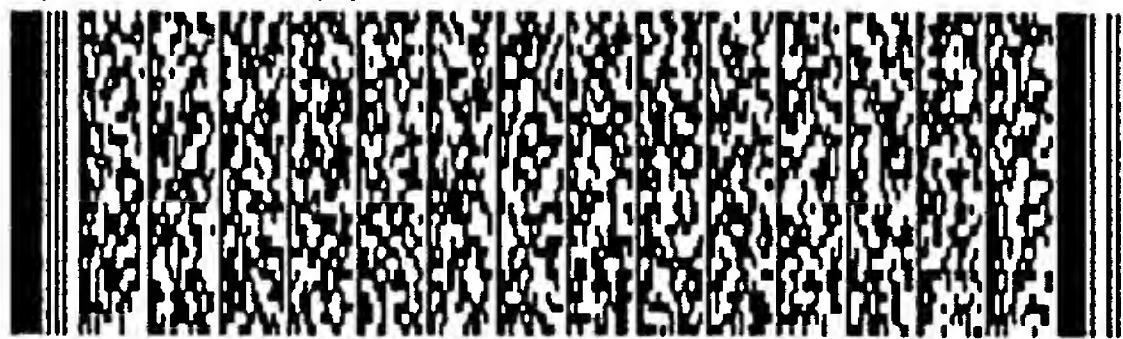
第 14/18 頁



第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

